

SERIAL COMMUNICATION PERIPHERIES DEVELOPMENT IN FPGA

Pavel Štraus

Bachelor Degree Programme (1), FEEC BUT
E-mail: xstrau00@stud.feec.vutbr.cz

Supervised by: Tomáš Frýza
E-mail: fryza@feec.vutbr.cz

ABSTRACT

This project is about periphery, which from parallel input signals make one output serial signal. This serial signal contains start bit, the next are data bits, parity bit and stop bit or two stop bits. Data bits are variables. It is mean their count is set with two input signals called Dat0 and Dat1. We can secure data bits with parity bit. After parity bit there is one stop bit or there are two stop bits. The periphery is programmed in VHDL language and implemented in FPGA device. After simulation the implementation was realized in Xilinx ISE WebPACK and tested in real time.

1. ÚVOD

Cílem práce bylo softwarové i hardwarové řešení periferie, která realizuje převod ze vstupních datových signálů na výstupní sériový signál podle standardu UART. Tato periferie byla řešena v jazyku VHDL a programována pomocí software ISE WebPACK od firmy Xilinx. [1]

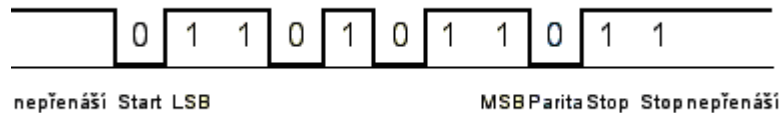
2. ROZBOR

Periferie obsahuje 8 datových signálů D0 až D7. Přičemž D0 je nejméně významný bit a D7 je nejvýznamnější bit. Dále obsahuje řídicí signály Dat1:0, Par1:0, Stop, EN a hodinový signál CLK. Řídicí signály Dat1:0 určují celkový počet datových bitů v datovém rámci. Par1:0 určí zda jsou tato přenášená data zabezpečena paritním bitem, přičemž můžeme volit mezi lichou a sudou paritou. Poslední volba je počet stop bitů (signál Stop).

Periferie je aktivní na log. úroveň 0 přivedenou na řídicí signál EN. Obsahuje jeden výstupní signál Y, přičemž změna tohoto signálu je dána periodou hodinového signálu CLK, respektive náběžnou hranou signálu CLK.

2.1. UART A PARITNÍ BIT

Základem asynchronní komunikace je, že datový rámec může být vyslán v libovolném okamžiku. Pro bezchybnou komunikaci mezi vysílačem a přijímačem byl stanoven komunikační protokol, který obsahuje danou strukturu datového rámce viz. obrázek 1.



Obrázek 1: Datový rámeček

Paritní bit je přiložen na konec datového rámečku a to mezi nejvýznamnější datový bit a stop bit. V principu se tímto bitem určí, zda je počet log. 1 v datovém slově sudý či lichý, a to následujícím způsobem. Jestli je nastavení sudé parity a výsledný součet logických úrovní 1 je sudý, pak výsledný bit v datovém rámečku je v log. 0. Pokud je ale součet logických úrovní 1 lichý, pak výsledný bit v datovém rámečku je nastaven na logickou úroveň 1.

U liché parity se jedná o stejný princip, ale při lichém počtu log.1 v datovém rámečku je paritní bit log.0 a při sudém počtu log. 1 je paritní bit log.1.

2.2. NASTAVENÍ ŘÍDÍCÍCH SIGNÁLŮ

Datový rámeček může obsahovat nejméně 5 datových bitů a nejvíce 8 přenášených datových bitů. Výsledné nastavení počtu přenášených datových bitů je zobrazeno v tabulce 1. V této tabulce je také nastavení pro určení zabezpečení těchto datových bitů pomocí paritního bitu. Další možností je nezabezpečení dat. Jako poslední je volba stop bitů. Pokud je na řídicí signál přivedena log. 0, pak se použije jeden stop bit. Pokud přivedeme na řídicí signál log. 1, pak jsou to dva stop bity v jednom datovém rámečku.

Tabulka 1: Nastavení počtu datových bitů a paritního bitu

Dat1:0	Výstupní data	Par1:0	Výsledná parita
00	D0-D4	00	bez parity
01	D0-D5	01	lichá
10	D0-D6	10	sudá
11	D0-D7	11	bez parity

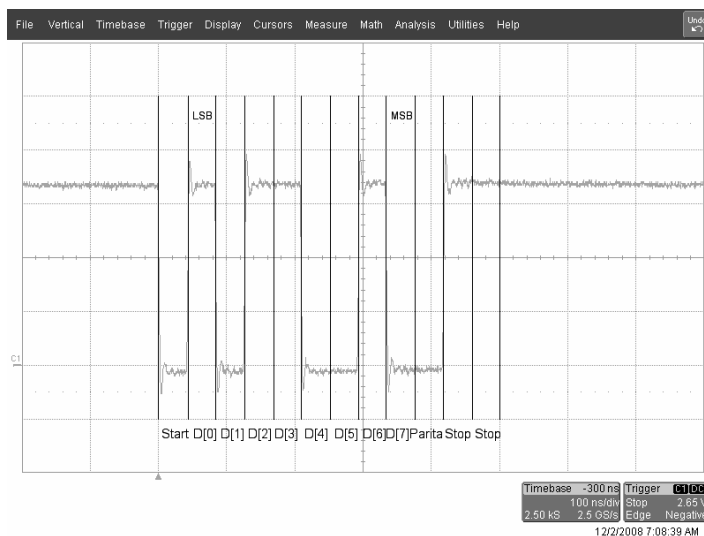
2.3. REALIZACE

Realizace tohoto projektu byla provedena na vývojové desce V2MB1000, která obsahuje FPGA série Virtex-II XC2V1000. Tato deska mimo jiné obsahuje 8 DIP přepínačů, pomocí kterých se nastavovaly datové bity. Dále jsem využil tlačítko, které je na této desce, na realizaci vstupu EN, pomocí kterého se spouštěla periferie. Jako poslední jsem na této desce využil 24MHz krystal, který byl zdrojem pro hodinový signál CLK, tedy perioda hodinového signálu CLK je 41,66ns. Řídicí signály se nastavovaly softwarově pomocí proměnných typu integer pdat, ppar a pstop, které jsou umístěné v úvodu programu.

```
pdat <= 8; -- lze pouze 5,6,7,8. Počet přenášených datových bitů
ppar <= 2; -- lze pouze 0,1,2. 0 = bez parity, 1 = lichá, 2 = sudá
pstop <= 1; -- lze pouze 0,1. 0 = 1 stop bit, 1 = dva stop bity
```

3. ZÁVĚR

Ve volném prostředí ISE WebPACK byla pomocí programovacího jazyka VHDL naprogramována periférie, která realizuje převod ze vstupních paralelních dat na sériová. Tento převod se řídí standardem UART, který má přesně stanovenou strukturu datového rámce. Je tedy zaručená kompatibilita s jinými jednotkami využívající tento standard. Správná funkce byla ověřena pomocí simulace. Po ověření jsem přešel k realizaci periférie pomocí vývojové desky V2MB1000. Pomocí této vývojové desky jsem připojil osciloskop, na kterém jsem pozoroval výsledné průběhy. Správná funkčnost periférie je zobrazena na oscilogramu, kde jsou přenášena data 10110010 v pořadí od LSB k MSB, tedy vyjádřené binárně 0b01001101. Počet log.1 v datovém rámci je sudý, tedy paritní bit při volbě sudé parity bude log.0. Dále jsou nastaveny 2 stop bity. Datový rámec tedy obsahuje 12 bitů. Těchto 12 bitů je přeneseno při periodě CLK 41,66ns za dobu okolo 500ns. Osciloskop má časovou základnu nastavenou na 100ns/div a napětí 1V/div viz. obrázek č.2.



Obrázek 2: Oscilogram přenášných dat 0b01001101

LITERATURA

- [1] ŠTRAUS, P. *Vývoj sériových komunikačních periférií pomocí FPGA*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2009. 24s. Vedoucí semestrální práce Ing. Tomáš Frýza, Ph.D
- [2] KOLOUCH, J. *Programovatelné logické obvody. Elektronické texty přednášek a počítačových cvičení*. Brno:FEKT VUT v Brně, 2007
- [3] FRÝZA, T. FERDA, Z. ŠEBESTA, J. *Mikroprocesorová technika. Elektronické texty laboratorních cvičení*. Brno: FEKT VUT v Brně